

Query/Command : prt fu

1/1 JAPIO - ©JPO - image

PN - JP 10301795 A 19981113 [JP10301795]
TI - VIRTUAL COMPUTER SYSTEM
IN - SHIGENO TAKEYOSHI
PA - HITACHI LTD
AP - JP11063997 19970428 [1997JP-0110639]
IC1 - G06F-009/46

AB - PROBLEM TO BE SOLVED: To secure the scalability of a system by performing communication between virtual computers (LPAR) inside the same information processor and performing the communication with a different information processor as well.

SOLUTION: Respective operating systems(OSes) 11-13 and a coupling facility(CF) 10 can be independently operated on the respective LPARs by a hypervisor 14. The communication of the OSes 11-13 and the CF 10 is performed through a micro program (.mu.P) 150 in a basic processing unit(BPU) 15. The OS 11 can communicate with the CF 2 of the different information processor through a Sender CH 161 and a Receiver CH 21 and the CF 10 can communicate with the OS 3 of the different processor through the Receiver CH 162 and the Sender CH 32. Inside the BPU 16, the inter-LPAR communication (communication of the OSes 11-13 and the CF 10) and the communication with the different information processor can be simultaneously and parallelly operated.

COPYRIGHT: (C)1998,JPO

Search statement 10

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-301795

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶

G 0 6 F 9/46

識別記号

3 5 0

F I

G 0 6 F 9/46

3 5 0

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21)出願番号

特願平9-110639

(22)出願日

平成9年(1997)4月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 茂野 丈至

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

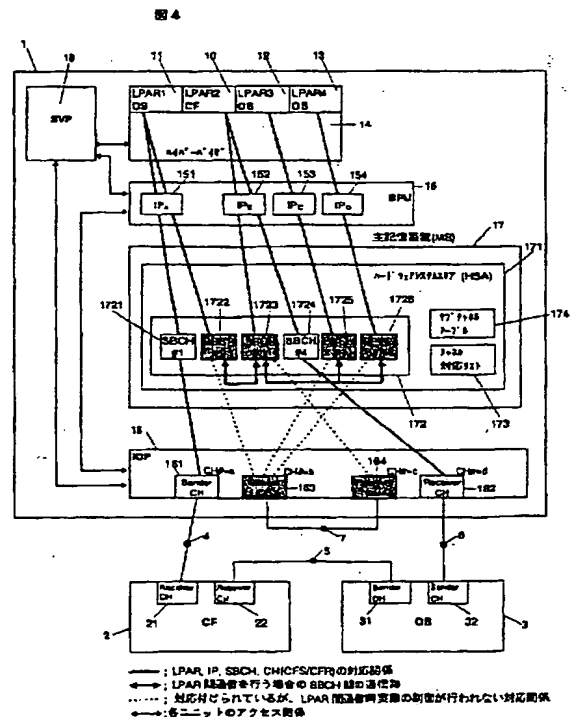
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 仮想計算機システム

(57)【要約】

【課題】同一の情報処理装置内のLAPR間の通信を高速に行い、かつ別情報処理装置との接続も可能とする。

【解決手段】主記憶装置のハードウェア用エリアの通信制御ブロックに制御フラグを設け、制御プログラムが該制御フラグのON/OFFを命令プロセッサに通知する手段と、同一情報処理装置間のLPAR間通信を行う通信制御ブロックの対応付けを命令プロセッサに通知する手段と、を制御プログラムに設け、また該2つの通知を前記制御ブロックに記憶する手段と、該制御フラグがONの時、命令プロセッサが同一情報処理装置間のLPAR間通信を行い、該制御フラグがOFFならば、チャネル装置を介して通信を行なわせる。



【特許請求の範囲】

【請求項1】 仮想計算機上で動作するオペレーティングシステム（以下OS）や、複数の仮想計算機の動作を制御する制御プログラムの命令を処理する複数の命令プロセッサと、OS間の通信処理等を行う複数のチャンネル装置と、主記憶装置とを備える情報処理装置において、OS間の通信に要する制御情報が格納され、主記憶装置内のハードウェア用エリアに備えられる通信制御ブロックに制御フラグを設け、該制御フラグのON/OFFを命令プロセッサに通知する手段と、同一情報処理装置内で通信を行う仮想計算機のそれぞれの通信制御ブロックの対応付けの情報を命令プロセッサに送る手段と、を制御プログラムに設け、また前記制御プログラムによる通知により、前記制御ブロック中の前記制御フラグのON/OFFを行う手段と、前記制御プログラムから送られた情報を前記制御ブロック内に格納する手段と、OS間の通信を行う時、命令プロセッサは前記通信制御ブロック中の前記制御フラグがONならば、同一情報処理装置内と判断し、前記仮想計算機間の通信制御ブロックの対応付けにより通信先の仮想計算機を求め、該仮想計算機上のOSが指定するエリアに対し、命令プロセッサが制御情報、データの転送を行い、該制御情報、データの到達を該仮想計算機上のOSに通知する手段と、前記制御フラグがOFFならば、異なる情報処理装置間の通信と判断し、それぞれの情報処理装置のチャンネル装置を介して、通信先の情報処理装置上のOSが指定するエリアに対し、制御情報、データの転送を行い、該制御情報、データの到達を該情報処理装置上のOSに通知させる手段と、を命令プロセッサに設けたことを特徴とする仮想計算機システム。

【請求項2】 OSや制御プログラムの命令と同期して、ハードウェア（命令プロセッサや、チャンネル装置、等）が処理を実行する同期形命令と、OSや制御プログラムの命令と非同期にハードウェアが処理を実行する非同期形命令とがあり、OSや制御プログラムによって、同期形、非同期形のいずれかの指定が可能であり、該指定によってハードウェアが同期形、非同期形のいずれかで該命令の処理を実行する請求項1の情報処理システムにおいて、請求項1の前記制御ブロックの前記制御フラグがONの時、OS間の通信の起動を行う命令が同期形ならば、請求項1の制御フラグがONの時の手段を実行するが、非同期形ならば、請求項1の制御フラグがOFFの時の手段を実行する手段と、を命令プロセッサに設けたことを特徴とする仮想計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、仮想計算機システムの情報処理装置に関し、特に同一情報処理装置の仮想計算機上のOS間の通信に関する。

【0002】

【従来の技術】 同一情報処理装置内の仮想計算機（以下LPARと呼ぶ）間の通信として、OS（IBM社のMVS等）とCoupling facility（以下CF）間のパラレルシブリンクに関する通信がある。

【0003】 GA22-7123-11「Processor Resource/System Manager Planning Guide(EnterpriseSystem 9000/3090)」において、同一情報処理装置内のOSとCF間のパラレルシブリンクの説明が記述されており、そのためにIntegrated Coupling Migration Facility（以下ICMFと呼ぶ）と呼ばれる機構を提供している。パラレルシブリンクは複数のOSがCFを介して接続され、各OSに分散されたトランザクションを、単一のデータマネージメントシステムとして扱うことを目的としているが、ICMFでは同一情報処理装置内のOSとCF間のパラレルシブリンクに限定しており、異なる情報処理装置との間でパラレルシブリンクの環境を構築することは出来ない。ICMFに関し、図1で説明する。

【0004】 情報処理装置1は、複数のOS11～13、CF10や、制御プログラム（以下ハイパーバイザ）14からの命令を処理する命令プロセッサ（以下IPと呼ぶ）がTCMP（Tightly Coupled Multi-Processor）で構成されるBPU15と、各OS11～13、CF10の通信動作等を行う入出力処理装置（以下IOPと呼ぶ）16（IOP16内にはチャンネル装置が含まれる。）から構成される。また各OS11～13、CF10はハイパーバイザ14により、それぞれのLAPR上で独立して動作することが保証される。図1では、LAPR1/LAPR3/LPAR4上の各OS11～13と、LPAR2上のCF10間の通信は、ICMFを用いて構成されており、該通信は全てハイパーバイザ14のエミュレートにより行われる。ICMFではハイパーバイザ14がOS-CF間の通信をエミュレートしているため、IOP16内のチャンネル装置（以下CHと呼ぶ）を使って通信を行うことはない。またOS-CF間の通信の全てが一旦ハイパーバイザ14に渡る（ジャレション）ことになるため、ハイパーバイザ14のオーバーヘッドが生じることになる。

【0005】 またICMFを用いると同一情報処理装置1内の通信は可能であるが、別情報処理装置との通信は出来ない。

【0006】 ICMFを用いず、同一情報処理装置内の通信を行う場合の例が図2である。図2では、IOP16内にSender CH163と、Receiver CH164を具備し、かつSender CH163と、Receiver CH164はインターフェース7で接続されている。Sender CH163は、OS11～13からアクセス可能であり、またReceiver CH164はCF11からのみアクセス可能である。故にLAPR1/LAPR3/LPAR4上の各OS11～13と、LPAR2上のCF10間の通信はSender CH163と、Receiver CH164を用いて行われる。図2の場合、ハイパーバイザ14のエミュレートは必要ではないため、ハイパーバイザ14のオーバーヘッドが生じることは無いが、Sender CH163と、Receiver CH164の処理が必要となる。しかし、同一情報処理装置のL

PAR間通信のデータのやりとりは該情報処理装置内のメモリ内の移動である。故に同一情報処理装置のL PAR間通信では本来CHを使う必要が無く、IPが行うべきであった。

【0007】

【発明が解決しようとする課題】1台の高性能な情報処理装置に多くのL PARを集約し、情報処理装置の台数を減らす方がユーザの経費は少なくて良いはずである。今後、更に高速な情報処理装置が出現してくれば、この傾向は更に強まってくる。高性能情報処理装置を提供すればするほど、1台の情報処理装置上でパラレルスプレッド環境を構築することになり、同一情報処理装置内のL PAR間通信のケースが多くなる。但し、同一情報処理装置だけのパラレルスプレッドでは、システムのスケーラビリティの向上は出来ない。

【0008】本発明の目的は、同一情報処理装置上のL PAR間通信を高速に行い、かつ別情報処理装置との通信も可能とすることにより、システムのスケーラビリティを確保する。

【0009】

【課題を解決するための手段】

1. OS間の通信に要する制御情報が格納され、主記憶装置内のハードウェア用エリアに備えられる通信制御ブロックに制御フラグを設け、該制御フラグのON/OFFを命令プロセッサに通知する手段と、同一情報処理装置内で通信を行う仮想計算機のそれぞれの通信制御ブロックの対応付けの情報を命令プロセッサに送る手段と、を制御プログラムに設け、また前記制御プログラムによる通知により、前記制御ブロック中の前記制御フラグのON/OFFを行う手段と、前記制御プログラムから送られた情報を前記制御ブロック内に格納する手段と、OS間の通信を行う時、命令プロセッサは前記通信制御ブロック中の前記制御フラグがONならば、同一情報処理装置内と判断し、前記仮想計算機間の通信制御ブロックの対応付けにより通信先の仮想計算機を求め、該仮想計算機上のOSが指定するエリアに対し、命令プロセッサが制御情報、データの転送を行い、該制御情報、データの到達を該仮想計算機上のOSに通知する手段と、前記制御フラグがOFFならば、異なる情報処理装置間の通信と判断し、それぞれの情報処理装置のチャンネル装置を介して、通信先の情報処理装置上のOSが指定するエリアに対し、制御情報、データの転送を行い、該制御情報、データの到達を該情報処理装置上のOSに通知させる手段と、を命令プロセッサに設けた。

【0010】2. OSや制御プログラムの命令と同期して、ハードウェア(命令プロセッサや、チャンネル装置、等)が処理を実行する同期形命令と、OSや制御プログラムの命令と非同期にハードウェアが処理を実行する非同期形命令とがあり、OSや制御プログラムによって、同期形、非同期形のいずれかの指定が可能であり、該指

定によってハードウェアが同期形、非同期形のいずれかで該命令の処理を実行する場合において、前記制御フラグがONの時、OS間の通信の起動を行う命令が同期形ならば、請求項1の制御フラグがONの時の手段を実行するが、非同期形ならば、請求項1の制御フラグがOFFの時の手段を実行する手段と、を命令プロセッサに設けた。

【0011】

【発明の実施の形態】図3～11により本発明の実施例を説明する。

【0012】図3は本発明の概要について示したものである。情報処理装置1は、複数のOS11～13、CF10や、制御プログラム(以下μP)14からの命令を処理するBPU15と、各OS11～13、CF10の通信動作等を行うIOP16から構成される。また各OS11～13、CF10はμP14により、それぞれのL APR上で独立して動作出来る。OS11～13とCF10の通信はBPU15中のマイクロプログラム(μP)150を介して行われる。BPU15は各命令プロセッサ(以下IPと呼ぶ)がTCMP(Tightly Coupled Multi-Processor)で構成され、各IPには制御用のマイクロプログラム150が内蔵される。またOS11は、Sender CH161と、Receiver CH21を介して、別情報処理装置のCF2と通信可能である。またCF10はReceiver CH162、Sender CH32を介して、別情報処理装置のOS3と通信可能である。そして、CF2、OS3はReceiver CH22、Sender CH31を介して、通信可能である。BPU15内でL PAR間通信(OS11～13とCF10の通信)と、別情報処理装置と通信(OS11とCF2の通信、もしくはCF10とOS3の通信)とは、同時に並行して動作可能である。以下、詳細に説明する。

【0013】図4は図3に対し、通信用制御ブロック(サブチャンネル、チャンネル対応リスト等)の記述、各ユニットの詳細な記述を行うとともに、L PARと、IPと、サブチャンネル(以下SBCHと呼ぶ)と、Sender CH/Receiver CHの対応関係を示したものである。図4において、BPU15にはIPとして、IPA151/IPB152/IPC153/IPD154を含み、それぞれのIPはTCMPで該BPU15を構成する。また情報処理装置1には主記憶装置(以下MSと呼ぶ)17を含む。MS17はプログラムが使用する空間の他にハードウェア(IP、IOP等)のみがアクセスするハードウェアシステムエリア(以下HSAと呼ぶ)171がある。そして該HSA171内には、OS11～13、CF10が他OS、CFと通信する時に使用するSBCH1721～1726を格納するSBCH格納エリア172と、チャンネル対応リスト173と、サブチャンネルテーブル174とがある。またIOP16に

は図3で説明したSenderCH161、ReceiverCH162の他に、OS11~13とCF10との通信を行うためのSenderCH163、ReceiverCH164を含む。またオペレータと各ハードウェアの各ユニット(ハイパーバイザ14、IPA151/IPB152/IPC153/IPD154、IOP16)とのやりとりを行うためにService Processor(以下SVPと呼ぶ)18を情報処理装置1内に設けている。なおIPだけではなく、IOP16(CHも含む)、SVP18内に当該ユニットの制御のためにマイクロプログラムが内蔵されている。

【0014】LPAR1のOS11にはIPとして、IPA151が割り当てられ、またCF2との通信用のSBCH#11721と、CF10との通信用のSBCH#21722とが割り当てられる。LPAR3のOS12にはIPとして、IPC153が割り当てられ、またCF10との通信用のSBCH#51725とが割り当てられる。LPAR4のOS13にはIPとして、IPD154が割り当てられ、またCF10との通信用のSBCH#61726とが割り当てられる。そして、LPAR2のCF10にはIPとして、IPB152が割り当てられ、またOS11~13との通信用のSBCH#31723と、OS3との通信用のSBCH#41724とが割り当てられる。また各SBCHはSenderCH161/163、ReceiverCH162/163と対応する。この対応はHSA171内にある(図9で示す)サブチャネルテーブル174に格納される。図9において、各チャネル装置(以下CHと呼ぶ)用に4バイト幅の256エントリが保持され、各エントリには当該CHに対応するSBCH番号が格納される。また当該エントリが有効かどうかは、当該エントリ中のフラグ内のVビットにより判定される。(V=1なら当該エントリは有効であり、V=0なら当該エントリは無効である。)当該CHのエリアを求めるためにHSA171の先頭からの相対アドレスを示すサブチャネルテーブルポインタにCH番号×256×4を加えることにより求められる。故にSenderCH163用のサブチャネルテーブル174のエリアにはSBCH#21722/SBCH#51725/SBCH#61726の3つのエントリが含まれ、当該エントリのフラグのVのみが1であり、それ以外のSenderCH163に関するエントリのフラグのVは0である。同じようにSenderCH161用のサブチャネルテーブル174のエリアにはSBCH#11721が格納され、ReceiverCH162用のサブチャネルテーブル174のエリアにはSBCH#41724が格納され、ReceiverCH164用のサブチャネルテーブル174のエリアにはSBCH#31723が格納される。この関係は同一情報処理装置内でLPAR間通信を行う時も、行わない時も成立する関係であり、本情報はシステ

ムの構成定義を行う時に決定する。

【0015】LPAR間通信を行うにあたって、通信を行いあうLPARの定義を行う必要がある。通信を行いあうLPARの指定はオペレータからSVP18を介してハイパーバイザ14に指示される。SVP18とハイパーバイザ14とのインタフェースは既存の手段を用いることになるが、そのために新たな設定画面が必要となる。しかし、本件は本発明の対象外であるため、詳細な記述は省略する。

【0016】オペレータはLPAR間通信を行うCHのペアをSVP18を介して指定する。図4の例では、該ペアとしてSenderCH163とReceiverCH164を指定する。SVP18を介してハイパーバイザ14にLPAR間通信を行うペア(SenderCH163とReceiverCH164)が指定されると、ハイパーバイザ14はそれを任意の一つのIP151~154に伝達する。通常ハイパーバイザ14から、IP151~154に対しての命令は、OSが使用する命令の他にハイパーバイザ専用命令(以下HVA命令と呼ぶ)を用いる。そのためのHVA命令はOSが使用しない命令コードを用いる。LPAR間通信の定義を行う場合には、該HVA命令を新規に追加することになる。追加されるHVA命令にて、ハイパーバイザ14はLPAR間通信を行うペアを任意の一つのIP151~154に指示する。追加される該HVA命令は、CH単位に発行するものであり、該命令のオペランドに3つのオペランドが付加される。

【0017】以下にそれぞれのオペランドの説明を行う。

【0018】オペランド1；当該HVA命令を適用するCHのCH番号である。

【0019】オペランド2；オペランド1で指定されたCHとペアとなるCHのCH番号である。このオペランドはオペランド3で示される制御フラグが0ならば、意味を持たない。

【0020】オペランド3；オペランド1指定されたCHがLPAR間通信を行うかどうかを表す制御フラグとなる。この制御フラグが1ならば、LPAR間通信を行い、0ならばLPAR間通信を行わないということを表す。

【0021】ハイパーバイザ14から、追加された該HVA命令により、指示を受けたIPは該HVA命令のオペランドの情報をHSA171中のチャネル対応リスト173に登録する。チャネル対応リスト173のフォーマットを図8に記述する。図8において、各CH用に8バイト幅のエントリが用意され、各エントリの対応CH#エリアには、当該CHとペアとなるCHのCH番号が格納される。また当該エントリのフラグには、該エントリの有効/無効を示すVビットと、該エントリに対応するCHがLPAR間通信を行うかどうかを示すCビットが

ある。ハイパーバイザ14から、L PAR間通信を行うために追加されたHVA命令をIPが受けると、該命令のオペランド1で指定されたCHに対応するチャネル対応リスト173のエントリを更新することになる。なおチャネル対応リスト173の当該CHのエントリを求めるためにHSA171の先頭からの相対アドレスを示すチャネル対応リストポインタにCH番号×8を加えることにより求められる。図4の例では、Sender CH163とReceiver CH164がペアとなる。まず、ハイパーバイザ14は、該HVA命令のオペランド1をSender CH163のCH番号とし、オペランド2をReceiver CH164のCH番号とし、そして、オペランド3の制御フラグは1として、IPに発行する。故に該IPはSender CH163に対応するチャネル対応リスト173のエントリのフラグのVを1にし、かつ、オペランド3の制御フラグの値をCビットに反映し(本例では1)、かつ該エントリの対応CH#エリアにオペランド2で指定されたReceiver CH164に対応する番号が格納される。

【0022】同様にハイパーバイザ14は、該HVA命令のオペランド1をReceiver CH164のCH番号とし、オペランド2をSender CH163のCH番号とし、そして、オペランド3の制御フラグは1として、IPに発行する。故に該IPはReceiver CH164に対応するチャネル対応リスト173のエントリのフラグのVを1にし、オペランド3の制御フラグの値をCビットに反映し(本例では1)、かつ該エントリの対応CH#エリアにSender CH163に対応する番号を格納する。以上により、L PAR間通信を行う通信制御ブロックの対応付けが完了する。

【0023】なお、追加した該HVA命令ではチャネル対応リスト173の当該エントリのCビットをオペランド3の制御フラグにより、0にしたり、1にすることを動的に行うことも可能である。

【0024】SBCHのフォーマットを図5に示す。以下でSBCHの各エリアの説明を行う。

【0025】①LOCK

該SBCHを更新する場合に必ず0以外の値がセットされる。該エリアが0以外なら各IP151～154や、IOP16(IOP配下のSender CH、Receiver CHも同様)は、当該SBCHを更新出来ない。LOCKエリアに格納されるコードは、各ユニット(IP、IOP、CH、等)毎にユニークに決定される。

【0026】②情報格納アドレスエリア

OSとCFが通信動作を行う場合に該通信に伴う要求情報、データ(送信するデータ、及び受信するデータ)、応答情報を格納するアドレスが格納される。なお情報格納アドレスから、要求情報、応答情報、データ(送信するデータ、及び受信するデータ)の順で格納されることになり、要求情報、応答情報は固定長とする。故に情報格

納アドレスを知ることにより、要求情報、データ(送信するデータ、及び受信するデータ)、応答情報の各アドレスを求める事が出来る。また情報格納アドレスエリアには常に有効な値が格納されていなければならない。この値は各OS、各CFの初期プログラムロード時に設定しておかなければならない。

【0027】③SBCH状態フラグ(以下SCSWと呼ぶ)

該フラグの詳細を図6に示す。該フラグにはPビットとXビットがある。Pビットは通信機能ペンディングを表すフラグであり、本ビットが1であるとき、OSや、CFからの通信起動/応答起動時に1にし、該起動動作が終了した時に0にする。またXビットは状態ペンディングを表すビットであり、該SBCHに関し、該SBCHに割り当てられるOSや、CFに要求があった時、及び通信動作に異常があった時に1になり、その状態を検知したOS、CFにより0にされる。

【0028】④制御フラグ

制御フラグにはIビットと、Rビットがある。Iビットは該SBCHを指定してOSや、CFが通信起動・応答起動を行った時、本ビットが1であるならば、ハイパーバイザ14を介さず、直接IPが処理し(これは直接実行と呼ばれる。)、該Iビットが0ならば、ハイパーバイザ14に処理が渡り、ハイパーバイザ14が該命令のシミュレーション動作を行う。該Iビットはハイパーバイザ14により1、もしくは0にセットされる。またRビットは該SBCHがSender CHに割り当てられているSBCHなのか、Receiver CHに割り当てられているSBCHなのかを表す。即ち、該SBCHがR=1ならReceiver CH用SBCHであり、R=0ならSender CH用SBCHである。

【0029】⑤L PAR番号

該SBCHが割り当てられているL PAR番号が格納される。

【0030】⑥ SBCH番号

SBCHをユニークに分類する該SBCHの番号が格納される。

【0031】⑦ 接続CH番号群

該SBCHと対応するCHの番号を格納する。最大8個まで格納可能である。

【0032】⑧ 対応SBCH番号

L PAR間通信を行う場合、該SBCHと対応するSBCHの番号が格納される。図4において、SBCH#2 1722/SBCH#5 1725/SBCH#6 1726と、SBCH#3 1723は対応関係になる。故にSBCH#3 1723の対応SBCH番号エリアには、SBCH#2 1722/SBCH#5 1725/SBCH#6 1726のいずれかのSBCH番号が格納される可能性がある。

【0033】L PAR1のOS11から、L PAR2の

CF10に通信を行う場合を図4と図10と図11を用いて以下のステップ1～5により説明する。図10はCHを用いた場合の例であり、図11はIPを用いた場合の例である。なお図10は、同一情報処理装置内のLPAR間通信をCHで行った場合について記述しているが、異なる情報処理装置間の通信の場合も図14で示す動作となる。

【0034】ステップ1：OS11からIPA151への起動まで

本ステップは図10、図11とも共通である。

【0035】LPAR1のOS11は、CF11に通信起動を行う時、SBCH#2 1722を指定して発行する。（発行前にSBCH#2 1722の情報格納アドレスで示されるエリアに要求情報、データ（OS11からCF10にデータを男K戻した場合）を格納しておく。）

本例ではSBCH#2 1722内の制御フラグのIビットが1であるとし、故に該通信起動はハイパーバイザ14を介さず、IPによる直接実行となる。LPAR1のOS11に割り当てられているIPA151はSBCH#2 1722のSCSWのPビットを1に更新する。その後、SBCH#2 1722中の接続CH番号群エリアから、当該SBCHに接続されるCHを求め、それにより、IPA151はSBCH#2に接続されているCHとして、SenderCH163を求め、そして、チャンネル対応リスト173により、SenderCH163に関するエントリを求める。求めた該エントリのフラグのCビットを判定するところまでは図10（CHを用いた通信）、図11（IPによる通信）とも同じである。

【0036】ステップ2：ステップ1からSBCH#3のSCSWのXが1になるまで

（図10のケース）もし、Cビットが0であったら、CHによる通信（図10）である。

【0037】Cビットが0であると判断したIPA151は、SBCH#2 1722に接続されているSenderCH163にSBCH#2 1722のSBCH番号を含めて起動通知を行う。そして、その後、IPA151はSBCH#2 1722のSCSWがP=0、もしくはX=1になるまで待つ。起動通知を受けたSenderCH163は、該通知と共に教えられたSBCH番号（SBCH#2 1722）により、該SBCH内の情報格納アドレスを読み出す。そして要求情報、データ（要求情報の中のパラメータにより、OS11からCF10にデータを送ると判断した場合は既に当該データエリアに格納されている。）を読み出し、それをSenderCH163とインタフェースケーブル7で接続されているReceiverCH164へ送る。そしてSenderCH163はReceiverCH164からの応答を待つ。SenderCH163から送られて

きた要求情報、データを受け取ったReceiverCH164は、ReceiverCH164に割り当てられているSBCH（本例ではSBCH#3 1723）の情報格納アドレスで示されるエリアに送られてきた要求情報、データを格納する。その後、ReceiverCH164はSBCH#3 1723のSCSWのXビットを1にする。そして、CF10からの応答起動を待つ。

【0038】なおSenderCH163、ReceiverCH164等のCHはそれぞれ初期マイクロプログラムロード時に該CHに割り当てられているSBCH番号を当該情報処理装置内のサブチャンネルテーブルから求めるておく。

【0039】（図11のケース）もし、Cビットが1であったら、IPによる通信（図11）を行う。

【0040】Cビットが1であると判断したIPA151は当該チャンネル対応リスト173から得られたSenderCH163に関するエントリ中に格納されている対応CH#により、接続先がReceiverCH164である事を知る。そしてサブチャンネルテーブル174から、ReceiverCH164に接続されるSBCHを求め、

【0041】それにより、SBCH#3が求まる。この時SBCH#3 1723のSCSWをチェックする。

（SBCH#3 1723はSBCH#2 1722の他にSBCH#5 1725/SBCH#6 1726とも対応可能であるため、SBCH#3 1723のSCSWをIPはチェックする必要がある。）もし、該SBCHがIDLEでなかったら（all'0'でない）、該ReceiverCH164に接続されるSBCHが他にないかどうかをサブチャンネルテーブル174より求め、あれば求めたSBCHのSCSWをチェックする。ReceiverCH164に接続される全てのSBCHがIDLEでなければ、SBCH#2 1722内の接続CH番号に他の有効なCHが無いチェックする。本例では1つのCHしかないが、もしあればそのCHに関しチャンネル対応リスト173より、接続先のCHを求め、また求めたCHより、そのCH配下のSBCHをサブチャンネルテーブル174より求める。このような動作を行った結果、SBCH#2 1722に対応する全てのSBCHのSCSWがIDLEでないならば、SBCH#2 1722のSCSWのPを1のままXを1にし、該通信起動を終了させる。SBCH#2 1722に対応するSBCH（本例ではSBCH#3 1723）がIDLEであれば以下のことを行う。IPA151はSBCH#2内の情報格納アドレスを読み出す。そして要求情報、データ（要求情報の中のパラメータにより、OS11からCF10にデータを送ると判断した場合は既に当該データエリアに格納されている。）を読み出し、SBCH#3 1723の情報格納アドレスで示されるエリ

アに要求情報、データを格納する。その後、IPA151はSBCH#3 1723の対応SBCH番号エリアにSBCH#2 1722のSBCH番号を格納し、SBCH#3 1723のSCSWのXビットを1にする。その後IPA151はSBCH#2 1722のSCSWがP=0、もしくはX=1になるまで待つ。

【0042】ステップ3：ステップ2から応答起動がIPB152が応答起動を受けるまで本ステップは図10、図11とも共通である。

【0043】CF10は配下のReceiverCH(本例ではReceiverCH162、164)に接続される全SBCHのSCSW(本例ではSBCH#3 1723/SBCH#4 1724)のXビットをサーチしている。ステップ2により、SBCH#3 1723のXビットが1となったため、該SBCHに関して処理する要因が発生したことを知る。その後、CF10は、SBCH#3 1723のXビットを0にし、SBCH#3 1723の情報格納アドレスにステップ2で格納された要求情報、データ(要求情報からデータを受信したと判定した場合)を処理し、CF10はSBCH#3 1723の情報格納アドレスから応答情報の格納アドレスを求め、そこに応答情報を書き込む。(要求情報からデータをCF10からOS11に送る場合、該データも格納する)その後、CF10に割り当てられているIPB152に対し、SBCH#3 1723を示して応答起動を発行する。本例ではSBCH#3 1723内の制御フラグのIビットが1であるとし、故に該応答起動は、ハイパーバイザ14を介さず、IPによる直接実行となる。応答起動を発行されたIPB152はSBCH#3 1723のSCSWのPを1にする。そして、SBCH#3 1723内の接続CH番号よりReceiverCH164を求め、チャンネル対応リスト173より、ReceiverCH164に関するエントリを求める。該エントリにおいて、フラグのCが0ならば、CHによる通信(図10)であり、Cビットが1であったら、IPによる通信(図11)となる。

【0044】ステップ4：ステップ3からSBCH#2のSCSWのP=0になるまで(図10のケース) IPB152はチャンネル対応リスト173より、ReceiverCH164に関するエントリを求める。該エントリにおいて、フラグのCが0ならば、IPB152はSBCH#3 1723に接続されるReceiverCH164に、SBCH#3 1723のSBCH番号を含めて起動通知を行い、ReceiverCH164から該起動の終了を待つ。IPB152から起動通知を受けたReceiverCH164は、SBCH#3 1723の情報格納アドレスを読み出し、該アドレスに格納されている応答情報、データ(CF10からOS11に送るデータがある場合。有り無しは応答情報内に示される。)を読み出し、ReceiverCH164

にインタフェースケーブル7で接続されているSenderCH163に送る。そしてIPB152に終了報告を行う。ReceiverCH164からの終了報告を待っていたIPB152は、SBCH#3 1723のSCSWのPを0に更新し、その後CF10からの応答起動に対して条件コード(CC)を返す。そして、ReceiverCH164から応答情報、データを受信したSenderCH163はSBCH#2 1722中の情報格納アドレスにReceiverCH164から送られてきた応答情報、データを書き込む。その後、SenderCH163はSBCH#2 1722のSCSWのPを0にする。

【0045】(図11のケース) IPB152はチャンネル対応リスト173より、ReceiverCH164に関するエントリを求める。該エントリにおいて、フラグのCが1ならば、IPB152はSBCH#3 1723に格納される対応SBCH番号(本例ではIPA151がSBCH#2 1722の番号を格納している)を読み出す。そしてIPB152はSBCH#3 1723の情報格納アドレスに含まれる応答情報、データをSBCH#2 1722の情報格納アドレスで示される応答情報、データの格納位置に格納する。そして、IPB152はSBCH#3 1723のSCSWのPを0に更新し、SBCH#2 1722のSCSWのPを0にする。その後IPB152はCF10からの応答起動に対して条件コード(CC)を返す。

【0046】ステップ5：ステップ4からOS11までの終了報告まで
本ステップは図10、図11とも共通である。

【0047】SBCH#2 1722のSCSWのPが0になるまで待っていたIPA151は、ステップ4により、SBCH#2 1722のSCSWのPが0になったので、OS11から発行されていた通信起動に対して条件コード(CC)を応答する。

【0048】以上のステップ1からステップ5により、チャンネル対応リストの当該エントリにセットされたCビットから、IPによるLPAR間通信を行ったり、CHを用いた通信が行える。またチャンネル対応リスト173の当該エントリにセットされたCビットが1であっても状況に応じてC=0と同じ動作をさせることも可能である。例えば、OS11から発行された通信起動がプログラムからみて非同期的に終了する(プログラムに終了の条件コードが返っても実際の処理は実行中。特開平6-4490「データ処理システム」に記述されているMSG命令は通信起動をハードウェアが同期的、非同期的に実行するか指定出来る。)通信起動であったならば、C=0と同じ処理をおこなっても良い。

【0049】情報処理装置1内のOS11~13と別情報処理装置内のCF2との通信、また情報処理装置1内のCF10と別情報処理装置のOS3との通信は、通信

に使われる Sender CH 161、31、32 / Receiver CH 162、21、22 に対応するチャネル対応リスト内の当該エントリのフラグの C ビットが全て 0 となるため、図 10 で示した例と同じ動作となる。また以上の例では、OS 11 から、CF 10 への通信であるが、それを逆に考えれば、CF 11 から OS 10 への通信も可能である。

【0050】以上から、本実施例では IP が CH を介さずに LPAR 間通信を行うことと、CH を介して通信を行うことが混在して可能であり、またチャネル対応リストの C ビットを 0 にしたり、1 にすることにより、動的に IP による LPAR 間通信を行うか、CH による通信を行うかを制御できる。

【0051】

【発明の効果】本発明により、同一報処理装置上の LPAR 間通信を高速に行い、かつ他情報処理装置との通信も可能としたため、システム全体のスケラビリティの向上が図れる。

【図面の簡単な説明】

【図 1】従来方式（ハイパーバイザのエミュレーションを用いた場合）を示す図である。

【図 2】従来方式（チャネルを用いた場合）を示す図である。

【図 3】本発明の概要を示す図である。

【図 4】LPAR、IP、SBCH、CH の対応関係を示す図である。

【図 5】サブチャネル（SBCH）のフォーマットを示す図である。

【図 6】SBCH 状態フラグ（SCSW）を示す図である。

【図 7】SBCH 内の制御フラグを示す図である。

【図 8】チャネル対応リストを示す図である。

【図 9】サブチャネルテーブルを示す図である。

【図 10】チャネルを用いた LPAR 間通信の例を示す

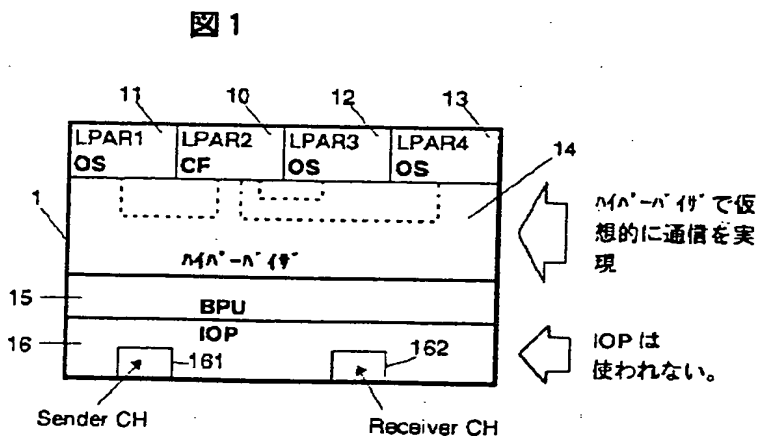
図である。

【図 11】本発明の LPAR 間通信の例を示す図である。

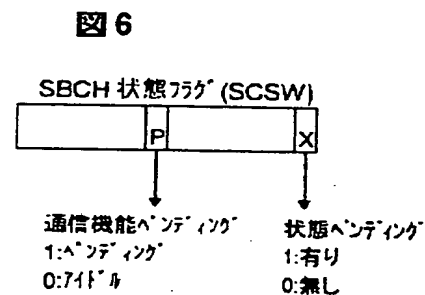
【符号の説明】

- 1 情報処理装置
- 10 CF (Coupling Facility)
- 11～13 OS (Operating System)
- 14 ハイパーバイザ
- 15 BPU (Basic Processing Unit)
- 150 IP のマイクロプログラム (μP)
- 151 IPA (Instruction Processor ; 命令プロセッサ)
- 152 IPB (Instruction Processor ; 命令プロセッサ)
- 153 IPC (Instruction Processor ; 命令プロセッサ)
- 154 IPD (Instruction Processor ; 命令プロセッサ)
- 16 IOP (Input / Output Processor)
- 161/163 Sender CH
- 162/164 Receiver CH
- 17 主記憶装置
- 171 HSA (Hardware System Area)
- 172 サブチャネル格納エリア
- 1721～1726 サブチャネル (SBCH)
- 173 チャネル対応リスト
- 174 サブチャネルテーブル
- 18 SVP (Service Processor)
- 2 別情報処理装置の CF
- 21/22 Receiver CH
- 3 別情報処理装置の OS
- 31/32 Sender CH
- 4/5/6/7 インタフェースケーブル

【図 1】



【図 6】



【图7】

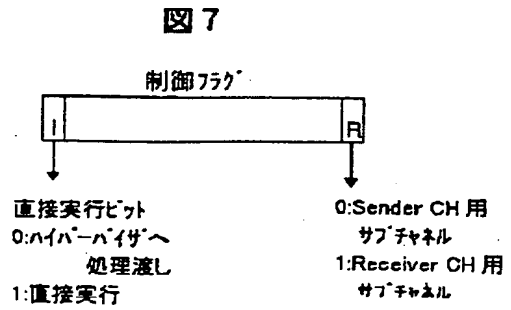
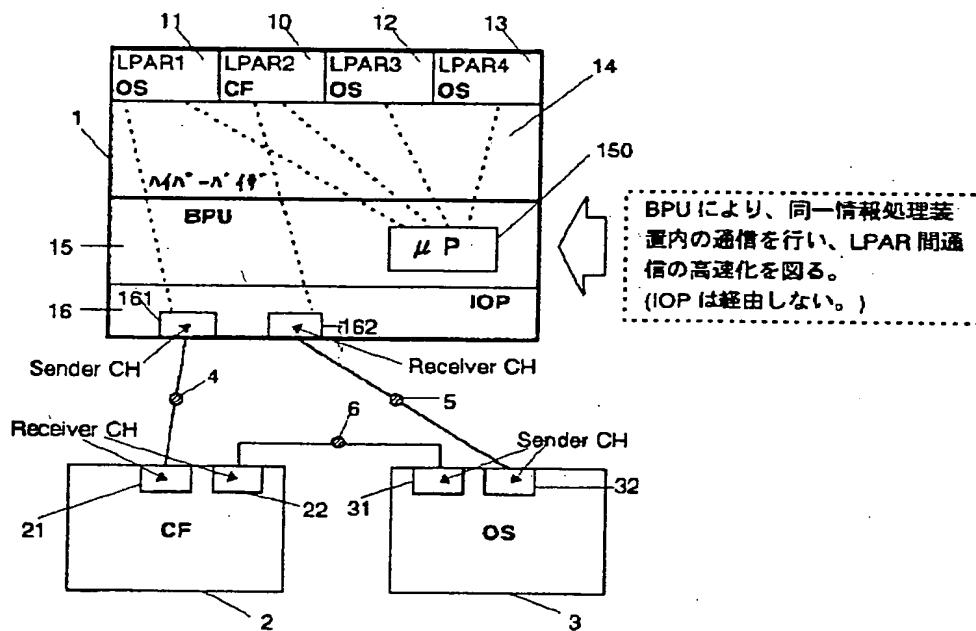
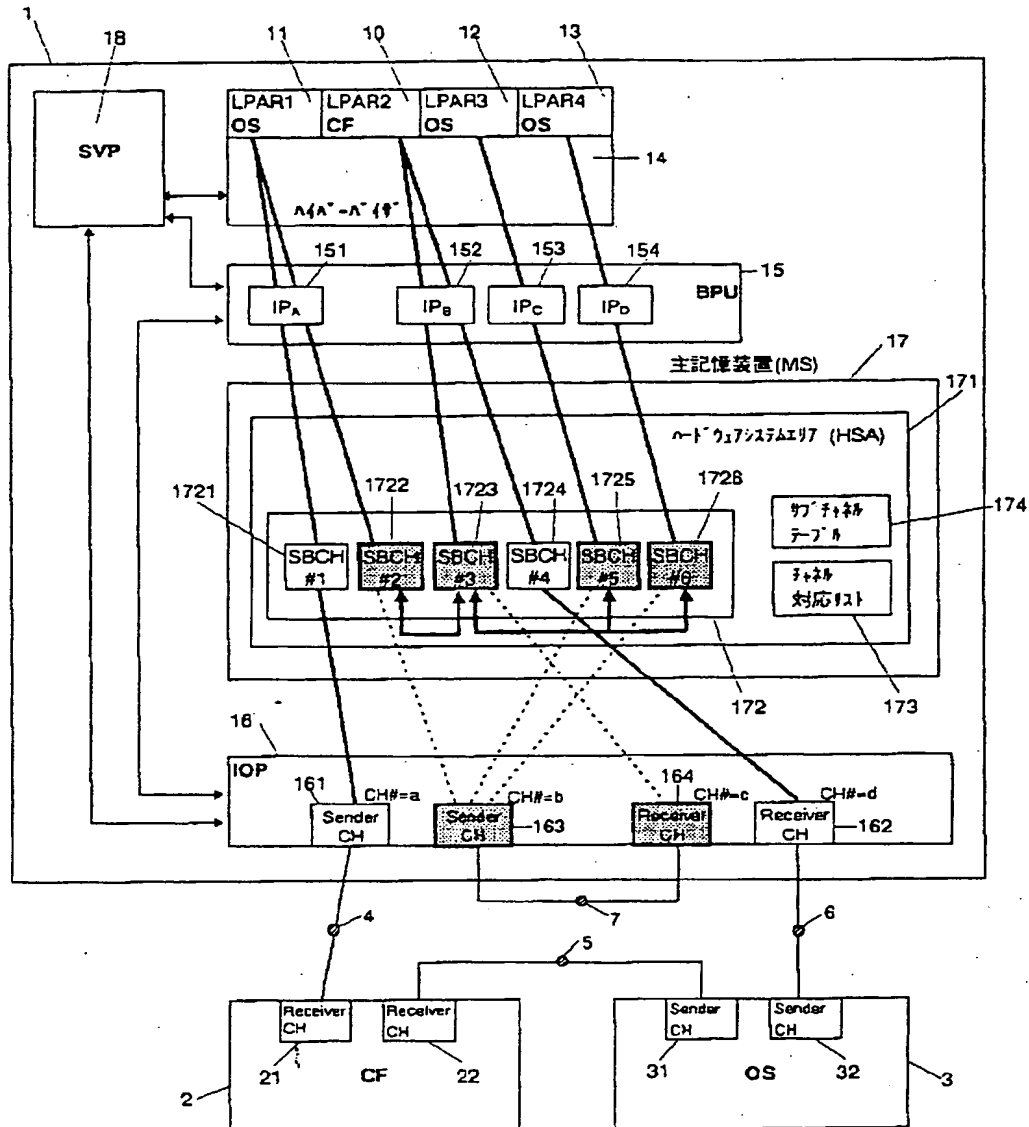


图 3



【図4】

図4



【図5】

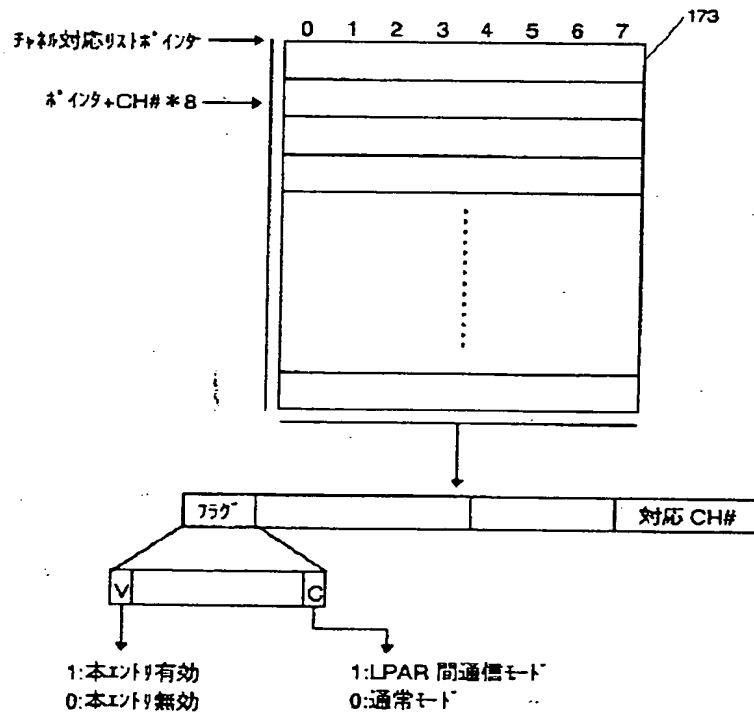
図5

172x (x=1~6)

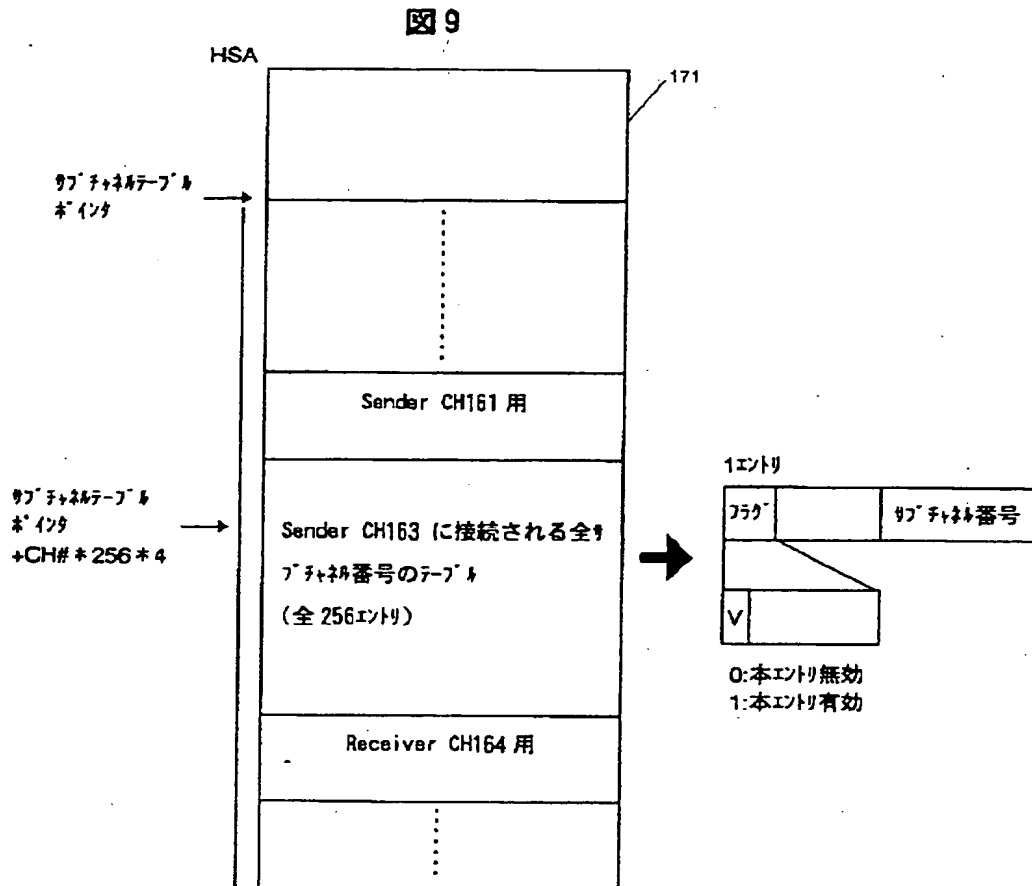
LOCK				
情報格納エリア				
SBCH 状態フラグ (SCSW)				制御フラグ
	LPAR 番号		SBCH 番号	
接続 CH 番号群				
				対応 SBCH 番号

【図8】

図8



【図9】



【図10】

図10

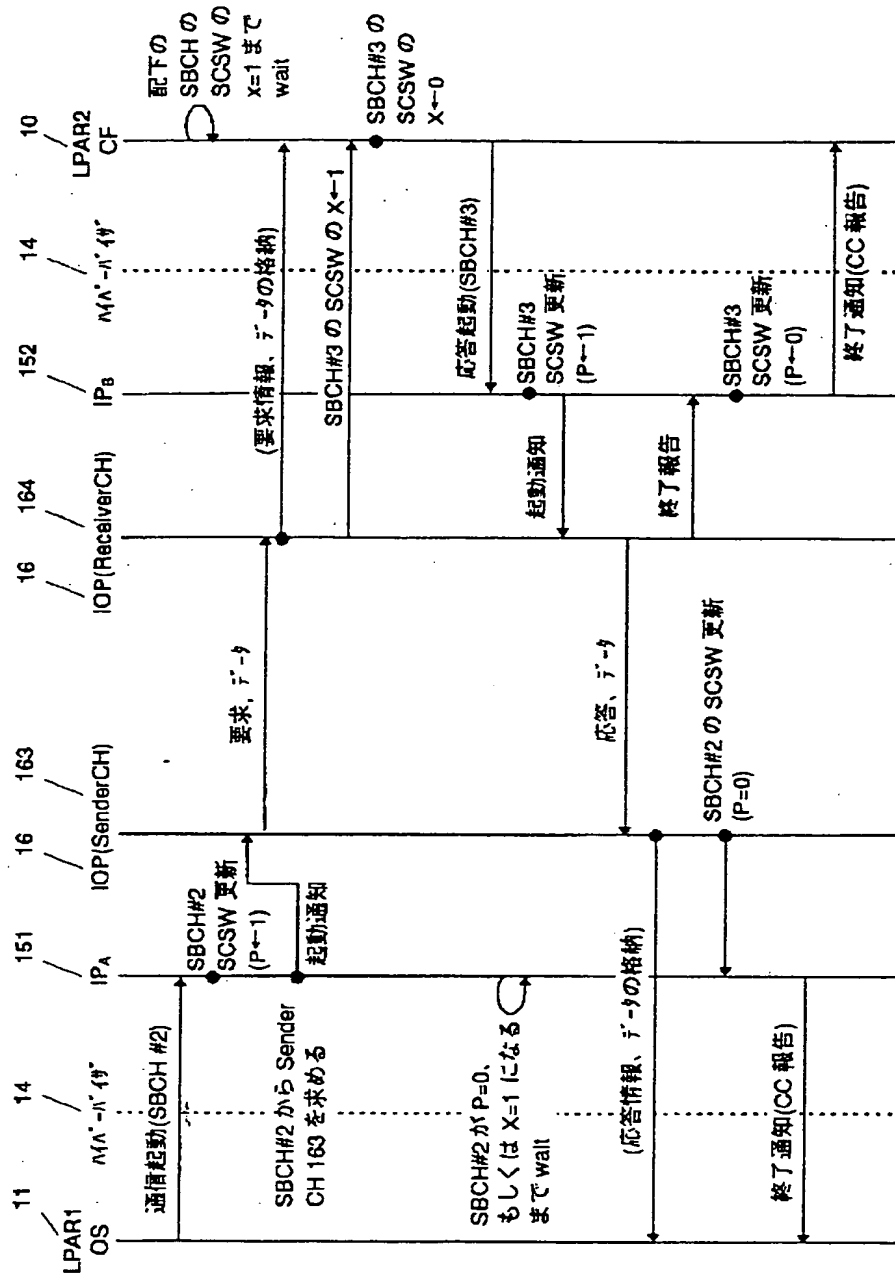
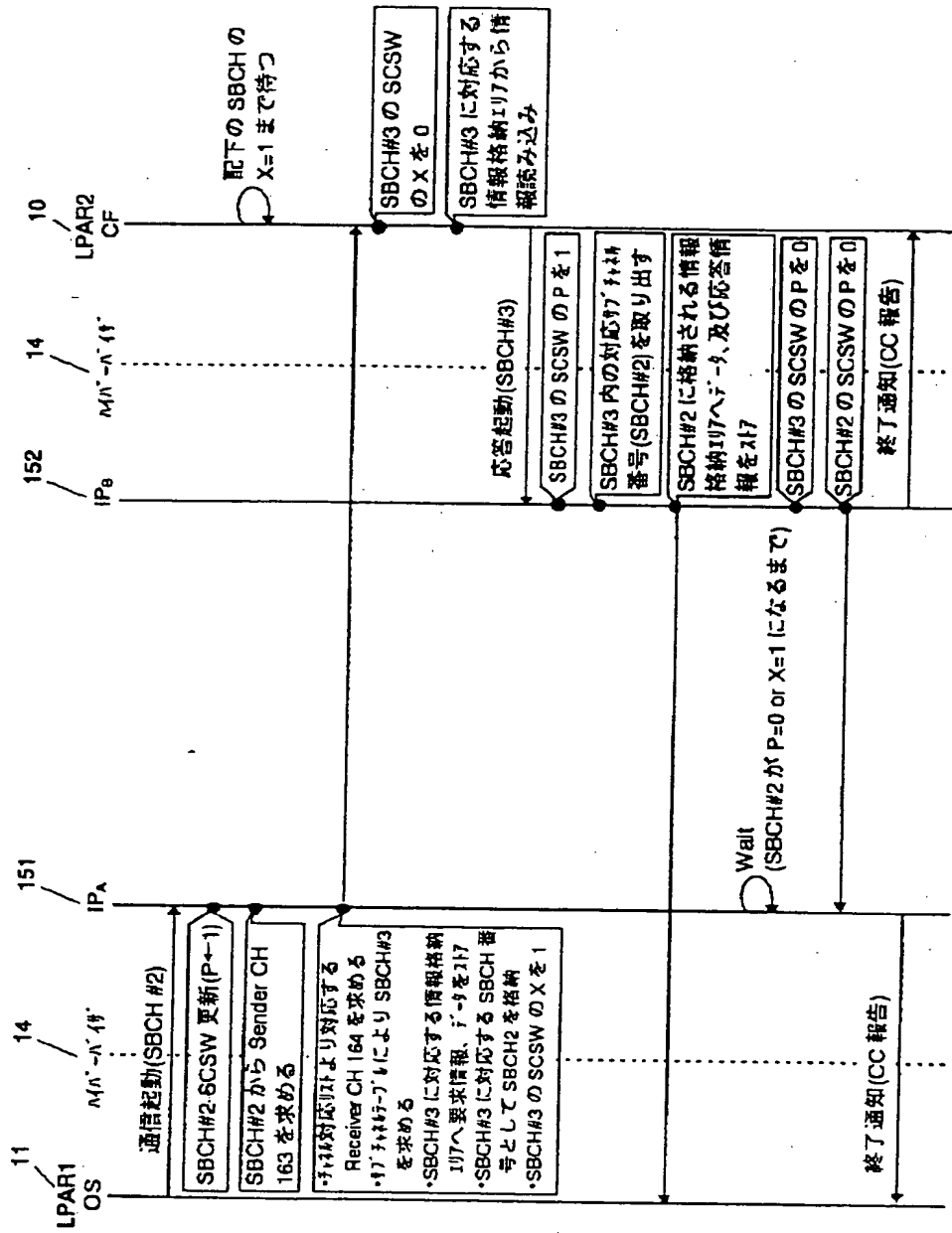


図11



【図11】